

## Switching device with a power FET and an inductive load

Patent number: US5936439

Publication date: 1999-08-10

Inventor: POLLERSBECK WERNER (DE)

Applicant: TELEFUNKEN MICROELECTRON (DE)

Classification:

- International: **H03K17/0812; H03K17/16; H03K17/695; H03K17/08; H03K17/16; H03K17/695; (IPC1-7): H03K17/16**

- european: H03K17/0812B; H03K17/16B

Application number: US19970855469 19970513

Priority number(s): DE19961019399 19960514

Also published as:



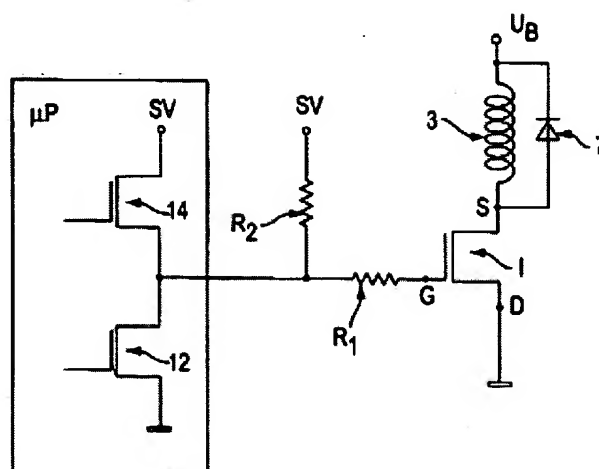
FR2749993 (A1)

DE19619399 (A1)

[Report a data error here](#)

### Abstract of US5936439

A switching device with a power FET for switching an inductive load to which a free-wheeling diode is connected in parallel, wherein the terminal of the series resistor facing away from the gate terminal is connected to a driver circuit which is so designed that it connects the specified terminal with a reverse potential in order to block the FET, wherein, at the beginning of the process of making the FET conductive, it connects the specified terminal with a high resistance to a control voltage source that puts the FET into the conductive state, in such a way that the current rise of the current flowing through the FET is slowed down to such an extent that, within a period of time in which the free-wheeling diode is not yet blocking after starting to make the FET conductive, an increase of the current to undesirable high values is prevented, so that damage to the power FET and the free-wheeling diode and/or other circuit elements and/or the occurrence of electromagnetic disturbances is reduced, and wherein, after the point of time at which the free-wheeling diode has achieved its blocking capability, the specified terminal is connected by the driver circuit with low resistance to a control voltage source which puts the FET into the fully conductive state such that the rate of current rise is increased. Advantages are that electromagnetic disturbances can easily be reduced and that the free-wheeling diode does not have to be selected for short reverse recovery time.



Data supplied from the esp@cenet database - Worldwide

①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ **Offenlegungsschrift**  
⑩ **DE 196 19 399 A 1**

⑤1 Int. Cl.<sup>6</sup>:  
**H 03 K 17/0812**  
H 03 K 17/16  
H 03 K 17/695

②1 Aktenzeichen: 196 19 399.0  
②2 Anmeldetag: 14. 5. 96  
④3 Offenlegungstag: 20. 11. 97

DE 196 19 399 A 1

⑦1 Anmelder:

TEMIC TELEFUNKEN microelectronic GmbH, 74072  
Heilbronn, DE

⑦2 Erfinder:

Pollersbeck, Werner, Dipl.-Ing. (FH), 85104 Pförring,  
DE

⑥6 Entgegenhaltungen:

DE	44 28 674 A1
DE	44 13 546 A1
DE	40 13 997 A1
DE	37 30 503 A1
DE	37 09 149 A1

Prüfungsantrag gem. § 44 PatG ist gestellt

⑤4 Schaltvorrichtung mit einem Leistungs-FET und einer induktiven Last

⑤7 Eine Schaltvorrichtung mit einem Leistungs-FET zum Schalten einer induktiven Last, der eine Freilaufdiode parallel geschaltet ist, ist dadurch gekennzeichnet, daß der dem Gate-Anschluß abgewandte Anschluß des Vorwiderstands mit einer Ansteuerschaltung verbunden ist, die so ausgebildet ist, daß sie zum Sperren des FET den genannten Anschluß mit einem Sperrpotential verbindet, daß sie bei Beginn des Leitendsteuerns des FET den genannten Anschluß hochohmig mit einer den FET in den leitenden Zustand bringenden Spannungsquelle verbindet, derart, daß der Stromanstieg des durch den FET fließenden Stroms so verlangsamt ist, daß innerhalb einer Zeitspanne, in der nach Beginn des Leitendsteuerns des FET die Freilaufdiode noch nicht sperrt, ein Anstieg des Stroms auf unerwünscht hohe Werte vermindert ist, so daß eine Beschädigung des Leistungs-FET und der Freilaufdiode und/oder anderer Schaltungselemente und/oder das Entstehen von elektromagnetischen Störungen vermindert ist, und daß nach dem Zeitpunkt, in dem die Freilaufdiode ihre Sperrfähigkeit erreicht hat, der genannte Anschluß von der Ansteuerschaltung niederohmig an eine den FET in den vollständig leitenden Zustand bringende Spannungsquelle gelegt wird, derart, daß die Geschwindigkeit des Stromanstiegs vergrößert ist. Vorteile liegen darin, daß elektromagnetische Störungen leicht vermindert werden können und daß die Freilaufdiode nicht auf kurze Sperrverzugszeit ausgesucht sein muß.

DE 196 19 399 A 1

Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen

BUNDESDRUCKEREI 09. 97 702 047/157

7/24

Die Erfindung betrifft eine Schaltungsvorrichtung mit einem Leistungs-FET, der zum Schalten eines durch eine induktive Last, die zwischen einen Betriebsspannungsanschluß und den Drain-Anschluß des Leistungs-FET gekoppelt ist, fließenden Stroms bestimmt ist, und vor dessen Gate-Anschluß ein Vorwiderstand geschaltet ist, dessen dem Gate-Anschluß abgewandten Anschluß eine Steuerspannung für den Leistungs-FET zuführbar ist, mit einer parallel zur induktiven Last geschalteten Freilaufdiode, wobei hierzu auch die in jedem FET enthaltene parasitäre Drain-Source-Diode verwendet werden kann.

Derartige Anordnungen sind bekannt und sind zum Beispiel für die Anwendung in der Kraftfahrzeug-Elektronik nützlich. Die Freilaufdiode dient bekanntlich dazu, beim Abschalten des Leistungs-Feldeffekttransistors (FET) diesen vor einem von der Induktivität erzeugten Spannungsstoß zu schützen. Wird nach dem Ausschalten des FET dieser wieder zu einem so frühen Zeitpunkt eingeschaltet, daß sich noch Injektionsladungen im Bereich der Sperrschicht der Freilaufdiode befinden, ist mit anderen Worten die Freiwerdezeit noch nicht abgelaufen, so ist die Freilaufdiode, wenn sie in Sperrrichtung an Spannung gelegt wird, noch nicht sperrfähig. Dies führt dazu, daß durch den FET in diesem Fall ein sehr hoher Strom kurzzeitig fließt, der den FET und die Diode und/oder andere Bauteile gefährden kann. Es ist bekannt, dieses Problem dadurch zu beseitigen, daß eine speziell für solche Fälle entworfene Ansteuerschaltung verwendet wird, die den FET beim Einschalten verlangsamt aus dem Sperrbereich in den vollständig leitenden Bereich schaltet. Derartige Schaltungen nach dem Stand der Technik sind jedoch sehr aufwendig. Der durch die Freilaufdiode und den FET fließende sehr hohe Strom kann auch elektromagnetische Störungen verursachen, die zur Einhaltung der für die elektromagnetische Verträglichkeit (EMV) erforderlichen Eigenschaften aufwendige Entstörungsmaßnahmen erfordern.

Anstelle der erwähnten speziellen Ansteuerschaltungen nach dem Stand der Technik kann bis zu einer bestimmten Flankensteilheit das Problem auch oder zusätzlich durch schnellere (und daher teurere) Freilaufdioden gelöst werden, die besonders schnell aus dem leitenden Zustand in den sperrfähigen Zustand übergehen.

Weiter ist in diesem Zusammenhang zu beachten, daß der FET möglichst wenig Verlustleistung erzeugen soll, so daß er möglichst schnell aus dem nichtleitenden in den leitenden Zustand und umgekehrt geschaltet werden sollte. Er muß hierzu möglichst niederohmig angesteuert werden, der Gate-Anschluß darf daher insbesondere kein allzu großer Vorwiderstand vorgeschaltet sein. Die niederohmige Ansteuerung ergibt steile Schaltflanken. Insbesondere wenn die Schaltung mit höheren Frequenzen (zum Beispiel 10 kHz oder mehr) betrieben werden soll, wie im vorliegenden Fall, wenn der FET durch Impulsbreitenmodulation (PMW) den Strom durch die induktive Last regeln soll, können steilere Schaltflanken erforderlich werden, die wiederum Probleme mit der oben erläuterten Sperrverzugszeit der Freilaufdiode mit sich bringen.

Der Erfindung liegt die Aufgabe zugrunde, eine Vorrichtung der eingangs geschilderten Art zu schaffen, die bei vermindertem Aufwand das Entstehen der geschilderten hohen Ströme, die die Freilaufdiode in Sperrich-

tung durchdringen, verhindert, wobei herkömmliche Freilaufdioden verwendet werden können, die nicht in Bezug auf ihre Sperrzeit besonders ausgesucht sein müssen.

Diese Aufgabe wird gemäß der Erfindung dadurch gelöst, daß der dem Gate-Anschluß abgewandte Anschluß des Vorwiderstands mit einer Ansteuerschaltung verbunden ist, die so ausgebildet ist, daß sie zum Sperren des FET den genannten Anschluß mit einem Sperrpotential verbindet, daß sie bei Beginn des Leitendsteuerns des FET den genannten Anschluß hochohmig mit einer den FET in den leitenden Zustand bringenden Steuerspannungsquelle verbindet, derart, daß der Stromanstieg des durch den FET fließenden Stroms so verlangsamt ist, daß innerhalb einer Zeitspanne, in der nach Beginn des Leitendsteuerns des FET die Freilaufdiode noch nicht sperrt, ein Anstieg des Stroms auf unerwünscht hohe Werte verhindert ist, so daß eine Beschädigung des Leistungs-FET und/oder anderer Schaltungselemente und/oder das Entstehen von elektromagnetischen Störungen vermindert ist, und daß nach dem Zeitpunkt, in dem die Freilaufdiode ihre Sperrfähigkeit erreicht hat, der genannte Anschluß von der Ansteuerschaltung niederohmig an eine den FET in den vollständig leitenden Zustand bringende Steuerspannungsquelle gelegt wird, derart, daß die Geschwindigkeit des Stromanstiegs vergrößert ist und ein vollständiges Durchschalten des FET gewährleistet ist.

Vorteile der Erfindung liegen darin, daß ein für das Vermindern von elektromagnetischen Störungen ausreichend großer Vorwiderstand (R1, R2) vor dem Gate des FET verwendet werden kann, und daß die Freilaufdiode nicht auf besonders kurze Sperrverzugszeit ausgesucht sein muß.

Bei einer Ausführungsform der Erfindung ist vorgesehen, daß an dem dem Gate-Anschluß abgewandten Anschluß des Vorwiderstands über einen weiteren Widerstand eine Spannungsquelle mit der für das Leitendschalten des FET erforderlichen Polarität angeschlossen ist, daß der Verbindungspunkt des Vorwiderstands und des weiteren Widerstands mit einer Steuerschaltung verbunden ist, die so ausgebildet ist, daß sie im Sperrzustand des FET den Verbindungspunkt mit einem Sperrpotential verbindet, so daß der FET gesperrt ist, daß sie bei Beginn des Leitendsteuerns des FET den Verbindungspunkt nur von dem Sperrpotential trennt, derart, daß der Stromanstieg des durch den FET fließenden Stroms durch die genannten Widerstände verlangsamt ist, und daß nach dem Zeitpunkt, in dem die Freilaufdiode ihre Sperrfähigkeit erreicht hat, der genannte Verbindungspunkt von der Steuerschaltung niederohmig an eine den FET in den vollständig leitenden Zustand bringende Steuerspannungsquelle gelegt wird.

Dabei ist von Vorteil, daß an dem dem Gate abgewandten Anschluß des Vorwiderstands nur insgesamt drei unterschiedliche Schaltzustände in der richtigen zeitlichen Reihenfolge erzeugt werden müssen: ausgehend von einem Sperrzustand des FET wird dieser zunächst verlangsamt in den leitfähigen Zustand gebracht, damit während dieser Zeit die Sperrschicht der Freilaufdiode von Ladungsträgern frei werden kann, was auch durch die durch den FET nach Beginn des Leitendwerdens an die Freilaufdiode angelegte Spannung zusätzlich unterstützt wird, und dann, wenn die Freilaufdiode mit Sicherheit ihren Sperrzustand erreicht hat, wird auf eine niederohmige und somit schnelle Durchschaltung des FET in den vollständig leitenden Zustand umgeschaltet.

Da nur eine sehr stark beschränkte Anzahl unterschiedlicher Gleichspannungen (nämlich im Ausführungsbeispiel die Spannungen 0 V und 5 V und der Zustand "nicht angeschlossen") benötigt wird, können diese in einfacher und kostengünstiger Weise durch eine einfache binäre Schaltungsanordnung, insbesondere mit Hilfe eines Mikroprozessors bereitgestellt werden. Besonders einfach wird die Schaltvorrichtung dann, wenn ein solcher Mikroprozessor verwendet wird, dessen Ausgangsschaltung, die noch Bestandteil des Mikroprozessors ist, durch den entsprechend zu programmierenden Mikroprozessor auf Gegentaktbetrieb (push-pull) oder auf open drain (offener Drain-Anschluß) geschaltet werden kann, wobei im erstgenannten Fall der Ausgangsanschluß der Ausgangsschaltung des Mikroprozessors zum Beispiel entweder auf 0 V oder auf 5 V geschaltet wird, und im zweitgenannten Fall entweder auf 0 V oder aber auf einen hochohmigen Zustand geschaltet wird, also praktisch nicht angeschlossen ist. Derartige Mikroprozessoren können gemäß der Erfindung so programmiert werden, daß sie die Konfiguration ihrer Ausgangsschaltung in der erforderlichen Reihenfolge, die aus der Beschreibung des Ausführungsbeispiels hervorgeht, ändern. Dieses Umschalten der Ausgangskonfiguration des Mikroprozessors läßt sich bei den herkömmlichen Mikroprozessoren mit konfigurierbarer Ausgangsschaltung durch ein einfaches Programm bewirken. Die Belastung des Mikroprozessors wird jedoch mit steigender Schaltfrequenz problematisch groß, und es steht entsprechend weniger Zeit für andere Aufgaben zur Verfügung. Wenn gegenüber den herkömmlichen Mikroprozessoren zusätzlich entsprechende Register vorgesehen werden, so könnte der geschilderte Ablauf nach einer Initialisierung automatisch und ohne zusätzliche Belastung des Mikroprozessors abgearbeitet werden. Der Mikroprozessor stünde dann mehr für andere Aufgaben zur Verfügung.

Die Verwendung des Prinzips ist auch in einem Ansteuer-IC denkbar, das nach einer festen oder frei einstellbaren Zeit von "open-Drain" auf "Push-Pull" schaltet, wobei die Widerstände R1 und R2 integriert bzw. durch integrierte Stromquellen ersetzt werden könnten.

Weitere Merkmale und Vorteile der Erfindung ergeben sich aus der nachfolgenden Beschreibung eines Ausführungsbeispiels der Erfindung anhand der Zeichnung, die erfindungswesentliche Einzelheiten zeigt, und aus den Ansprüchen. Die einzelnen Merkmale können hier einzeln für sich oder zu mehreren in beliebiger Kombination bei einer Ausführungsform der Erfindung verwirklicht sein. Es zeigen

Fig. 1 ein Schaltbild einer erfindungsgemäßen Schaltvorrichtung, die mit der Ausgangsschaltung eines Mikroprozessors verbunden ist,

Fig. 2a ein Zeitdiagramm für den durch den FET fließenden Strom bei herkömmlicher Ansteuerung,

Fig. 2b ein Zeitdiagramm für den durch den FET fließenden Strom bei erfindungsgemäßer Ansteuerung und

Fig. 3 ein Schaltbild eines weiteren Ausführungsbeispiels der Erfindung, bei der als Freilaufdioden die parasitären Drain-Source-Dioden der FETs verwendet werden.

In Fig. 1 ist ein Leistungs-Feldeffekttransistor, nachfolgend lediglich FET 1 genannt, mit seinem Drain-Anschluß D mit Masse verbunden, sein Source-Anschluß S ist über eine Induktivität 3 mit dem positiven Pol einer Versorgungsspannungsquelle UB verbunden, und am Gate-Anschluß G ist ein Vorwiderstand R1 angeschlossen. Die Versorgungsspannungsquelle UB ist gegenüber

Masse positiv; demzufolge ist eine parallel zur Induktivität 3 geschaltete Freilaufdiode 7 so geschaltet, daß ihre Kathode mit dem mit der Versorgungsspannungsquelle UB verbundenen Anschluß der Induktivität 3 verbunden ist. Bei der Induktivität 3 handelt es sich im Ausführungsbeispiel um die Spule eines elektromagnetisch betätigten Ventils.

Im Ausführungsbeispiel ist ein FET verwendet, dessen Gate-Spannung 5 V (positiv gegenüber Masse) betragen muß, damit der FET 1 in den vollständig leitenden Zustand, bei dem er nur einen geringen Widerstand für den ihn durchfließenden Strom aufweist, geschaltet wird. Würde bei der bisher beschriebenen Schaltung dem Anschluß des Vorwiderstands R1, der der Gate-Anschluß des FET 1 abgewandt ist, niederohmig eine Impulsfolge zugeführt, die zwischen +5 V und 0 V wechselt, so würde, so lange die Induktivität 3 Strom durch die Diode 7 treibt, zu dem Zeitpunkt, wo nach dem Sperren des FET 1 dieser wieder leitend geschaltet wird, aufgrund der Sperrverzugszeit die Freilaufdiode 7 ihre Sperrwirkung für den von der positiven Batteriespannungsquelle UB nach Masse fließenden Strom noch nicht erreicht haben, so daß ein sehr großer Strom, praktisch ein Kurzschlußstrom, durch die Freilaufdiode 7 und den FET 1 fließen würde.

Dies ist in Fig. 2a dargestellt, die den Stromverlauf in Abhängigkeit von der Zeit während der Zeitperiode zeigt, wo der FET 1 leitend gesteuert ist. Wie Fig. 2a zeigt, erreicht der Strom eine sehr hohe Stromspitze, nämlich den Kurzschlußstrom, der mit Irr bezeichnet ist.

Die in Fig. 1 gezeigte Schaltungsanordnung weist jedoch noch weitere Bauelemente auf. An den dem Gate-Anschluß abgewandten Anschluß des Vorwiderstands R1 ist ein weiterer Widerstand R2 angeschlossen, dessen anderer Anschluß an einer Spannungsquelle von +5 V liegt. Außerdem ist der genannte Anschluß des Vorwiderstands R1 mit dem Verbindungspunkt zweier in Serie geschalteter Feldeffekttransistoren 12 und 14 verbunden, von denen der hier auch als Highside-FET bezeichnete FET 14 mit seinem Drain-Anschluß an einer Spannungsquelle von +5 V liegt, und der andere FET 12 mit seinem Source-Anschluß an Masse liegt. Die Gate-Anschlüsse der beiden FET 12 und 14 werden im Betrieb so angesteuert, daß im Sperrzustand des FET 1 der FET 14 gesperrt ist und der FET 12 leitend ist; in diesem Fall wird der relativ große weitere Widerstand R2 durch den FET 12 praktisch mit Masse verbunden.

Der FET 1 ist dann gesperrt, um den FET 1 relativ langsam in den leitfähigen Zustand zu bringen, wird anschließend lediglich der FET 12 in den gesperrten Zustand gebracht. Dann steigt die Spannung am Gate-Anschluß des FET 1 wegen des relativ großen weiteren Widerstands R2 nur stark verlangsamt, und daher nimmt der Widerstand des FET 1 nur langsam ab. Wenn der FET 12 während einer Zeitspanne, die in den Fig. 2a und 2b von t0 bis t1 reicht, gesperrt war, so hat der Strom durch den FET 1 einen Wert angenommen, der beispielsweise, wie in Fig. 2b eingezeichnet, etwa den halben Wert des Stroms erreicht hat, der durch den FET 1 bei vollständig leitend geschaltetem FET fließt. Während dieser Zeitspanne von von t0 bis t1 hat die Freilaufdiode 7 ihre Sperrfähigkeit mit Sicherheit wiedererlangt. Nun wird der Highside-FET 14 (während der open drain FET 12 weiterhin gesperrt bleibt) leitend geschaltet, und wegen des sehr geringen Innenwiderstands des FET 14 steigt nun die Spannungsquelle am Gate des FET 1 sehr rasch an, so daß der Strom durch

den FET 1 sehr rasch die in Fig. 2b gezeigte Höhe erreicht. Dadurch ist die im FET 1 entstehende Verlustleistung einerseits begrenzt, andererseits wird zu Beginn des Leitendsteuerns des FET 1 das Entstehen eines hohen Kurzschlußstroms mit Sicherheit vermieden.

Die FETs 12 und 14 können durch irgendeine beliebige Ansteuerschaltung betätigt werden. Im Ausführungsbeispiel sind diese beiden FETs Teile eines Mikroprozessors und bilden dessen Ausgangsstufe und die Ansteuerung dieser FETs 12 und 14 erfolgt durch den Mikroprozessor.

Dabei wird die Ausgangsstufe des Mikroprozessors zunächst als open drain konfiguriert, so wird der Leistungs-FET 1 langsam eingeschaltet. Dies ergibt eine flache Einschaltflanke, der Leistungs-FET ist zunächst nicht voll durchgeschaltet, die Sperrschicht der Freilaufdiode 7 kann von Ladungsträgern freigeräumt werden, ohne daß es zu einem Sperrstrom in Kurzschlußhöhe kommt. Nach der Zeit  $t_1$ , die etwas größer als die Sperrverzugszeit der Freilaufdiode sein muß, wird die Ausgangsstufe auf push-pull umkonfiguriert. Nun treibt der Highside-FET des Mikroprozessors, nämlich derjenige FET, der nicht an Masse liegt, den Leistungs-FET, und durch diese niederohmige Ansteuerung wird der Leistungs-FET schnell in den niederohmigen Zustand gesetzt. Die Umschaltung der Ausgangsstufe des Mikroprozessors läßt sich mit wenig Softwareaufwand realisieren.

Im Ausführungsbeispiel sind folgende Schaltungskomponenten verwendet bzw. weisen die Elemente folgende Werte auf: Der FET 1 ist ein Leistungs-FET vom Typ IRLR014, die Induktivität 3 hat einen Induktivitätswert von 10 mH und einen ohmschen Widerstand von 10 Ohm, die Freilaufdiode 7 ist vom Typ RS2D, die FETs 12 und 14 sind die Ausgangsstufe eines Mikroprozessors vom Typ Siemens C167CR. Der Vorwiderstand R1 hat einen Wert von 1 Kiloohm, der weitere Widerstand R2 hat einen Wert von 10 Kiloohm. Die Versorgungsspannung UB wird im Beispiel von der Batterie eines Kraftfahrzeugs geliefert und beträgt 12 V, die Steuerspannung, die dem weiteren Widerstand R2 zugeführt wird und an dem Source-Anschluß des Highside-FET 14 liegt, beträgt 5 V. Der Strom, der in den Fig. 2a und 2b gezeigt ist, wurde durch Messung in der zwischen dem Drain-Anschluß des FET 1 und Masse verlaufenden Verbindungsleitung gemessen.

Das Schaltbild nach Fig. 3 stellt eine aus vier Feldeffekttransistoren 1, 2, 3 und 4 gebildete Brückenschaltung dar, die als Lastelement eine Induktivität 3 mit Strom versorgt. Ferner ist die bei jedem FET vorhandene parasitäre Drain-Source-Diode 7<sub>1</sub>, 7<sub>2</sub>, 7<sub>3</sub> und 7<sub>4</sub> dargestellt.

Der durch die Induktivität 3 fließende Strom soll PWM-geregt werden, wobei die Stromrichtung umkehrbar sein soll. Hierzu dient eine Ansteuerschaltung  $\mu P$ , die jeweils über einen Widerstand R11, R12, R13 bzw. R14 mit dem Gate eines FET 1, 2, 3 bzw. 4 verbunden ist. Entsprechend der Schaltung nach Fig. 1 sind jeweils an die Vorwiderstände R11, R12, R13 und R14 über einen weiteren Widerstand R21, R22, R23 bzw. R24 an eine Steuerspannungsquelle von +5 V angeschlossen. Die Ansteuerung jedes FETs erfolgt in der im Zusammenhang mit Fig. 1 beschriebenen Weise.

Für die eine Stromrichtung steuert die Ansteuerschaltung  $\mu P$  die Brückenschaltung derart, daß der FET 2 und der FET 3 ausgeschaltet, der FET 1 eingeschaltet und der FET 4 PWM-geregt den Strom durch die Induktivität 3 steuert, wobei die parasitäre Diode 7<sub>2</sub> des FETs 2

als Freilaufdiode dient. Für die andere Stromrichtung wird der FET 1 und der FET 4 ausgeschaltet, während der FET 2 eingeschaltet wird. Hierbei dient nun die parasitäre Diode 7<sub>1</sub> des FETs 1 als Freilaufdiode.

Die FETs 1, 2, 3, 4, 12 und 14 sind steuerbare elektronische Schalter. Zur Erfindung gehören auch Ausführungsformen, bei denen anstatt der FETs andere geeignete elektronische Schalter vorgesehen sind.

#### Patentansprüche

1. Schaltvorrichtung mit einem Leistungs-FET, der zum Schalten eines durch eine induktive Last, die zwischen einen Betriebsspannungsanschluß und den Drain-Anschluß des Leistungs-FET gekoppelt ist, fließenden Stroms bestimmt ist, und vor dessen Gate-Anschluß ein Vorwiderstand geschaltet ist, dessen dem Gate-Anschluß abgewandten Anschluß eine Steuerspannung für den Leistungs-FET zuführbar ist, mit einer parallel zur induktiven Last geschalteten Freilaufdiode, dadurch gekennzeichnet, daß der dem Gate-Anschluß abgewandte Anschluß des Vorwiderstands (R1) mit einer Ansteuerschaltung verbunden ist, die so ausgebildet ist, daß sie zum Sperren des FET (1) den genannten Anschluß mit einem Sperrpotential verbindet, daß sie bei Beginn des Leitendsteuerns des FET (1) den genannten Anschluß hochohmig mit einer den FET (1) in den leitenden Zustand bringen den Steuerspannungsquelle verbindet, derart, daß der Stromanstieg des durch den FET fließenden Stroms so verlangsamt ist, daß innerhalb einer Zeitspanne, in der nach Beginn des Leitendsteuerns des FET (1) die Freilaufdiode (7) noch nicht sperrt, ein Anstieg des Stroms auf unerwünscht hohe Werte verhindert ist, so daß eine Beschädigung des Leistungs-FET (1) und/oder anderer Schaltungselemente und/oder das Entstehen von elektromagnetischen Störungen vermindert ist, und daß nach dem Zeitpunkt, in dem die Freilaufdiode (7) ihre Sperrfähigkeit erreicht hat, der genannte Anschluß von der Ansteuerschaltung niederohmig an eine den FET (1) in den vollständig leitenden Zustand bringende Steuerspannungsquelle gelegt wird, derart, daß die Geschwindigkeit des Stromanstiegs vergrößert ist.

2. Schaltvorrichtung nach Anspruch 1, dadurch gekennzeichnet, daß an dem dem Gate-Anschluß abgewandten Anschluß des Vorwiderstands (R1) über einen weiteren Widerstand (R2) eine Spannungsquelle mit der für das Leitendschalten des FET (1) erforderlichen Polarität angeschlossen ist, daß der Verbindungspunkt des Vorwiderstands (R1) und des weiteren Widerstands (R2) mit einer Ansteuerschaltung verbunden ist, die so ausgebildet ist, daß sie im Sperrzustand des FET (1) den Verbindungspunkt mit einem Sperrpotential verbindet, so daß der FET (1) gesperrt ist, daß sie bei Beginn des Leitendverbindet, so daß der FET (1) gesperrt ist, daß sie bei Beginn des Leitendsteuerns des FET (1) den Verbindungspunkt nur von dem Sperrpotential trennt, derart, daß der Stromanstieg des durch den FET (1) fließenden Stroms durch die genannten Widerstände (R1, R2) verlangsamt ist, und daß nach dem Zeitpunkt, in dem die Freilaufdiode (7) ihre Sperrfähigkeit erreicht hat, der genannte Verbindungspunkt von der Ansteuerschaltung niederohmig an eine den FET (1) in den vollständig leitenden Zustand bringende Steuerspannungsquelle gelegt

wird.

3. Schaltvorrichtung nach Anspruch 2, dadurch gekennzeichnet, daß zwei in Serie geschaltete elektronische Schalter (12, 14) zwischen die den FET (1) in den vollständig leitenden Zustand bringende 5  
Steuerspannungsquelle und Masse geschaltet sind, daß der mit Masse verbundene erste elektronische Schalter (12) gesperrt ist, um den FET (1) bei gleichzeitig gesperrtem zweitem elektronischen Schalter (14) mit verlangsamttem Stromanstieg leitend zu 10  
steuern oder bei gleichzeitig leiten dem zweiten elektronischen Schalter (14) vollständig leitend zu steuern, und leitend ist, um den FET (1) im gesperrten Zustand zu halten, und daß der mit dieser Steuerspannungsquelle verbundene zweite elektroni- 15  
sche Schalter (14) zum niederohmigen Verbinden des Verbindungspunkts der Widerstände (12, 14) mit der Steuerspannungsquelle dient und zu anderen Zeiten gesperrt ist.

4. Schaltvorrichtung nach Anspruch 3, dadurch gekennzeichnet, daß die elektronischen Schalter (12, 14) Teile einer Ausgangsstufe einer integrierten Schaltung mit programmierbarer Ausgangskonfiguration sind. 20

5. Schaltvorrichtung nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß als Freilaufdiode die parasitäre Source-Drain-Diode (7<sub>1</sub>, 7<sub>2</sub>) des Leistungs-FET (1, 2) vorgesehen ist. 25

---

Hierzu 2 Seite(n) Zeichnungen

---

30

35

40

45

50

55

60

65

- Leerseite -

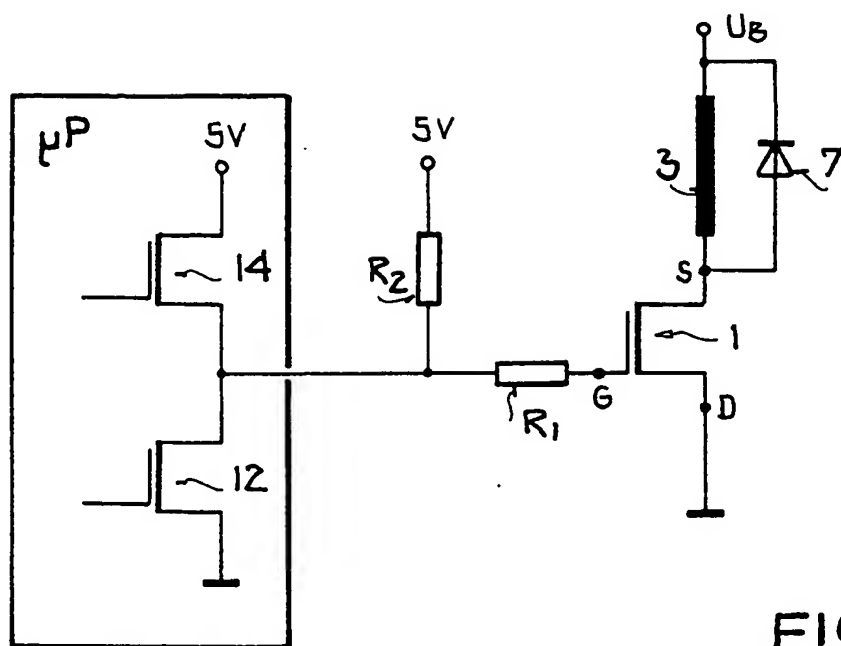


FIG.1

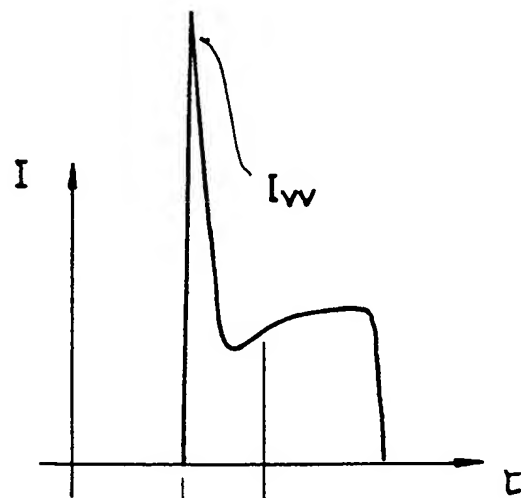


FIG. 2a

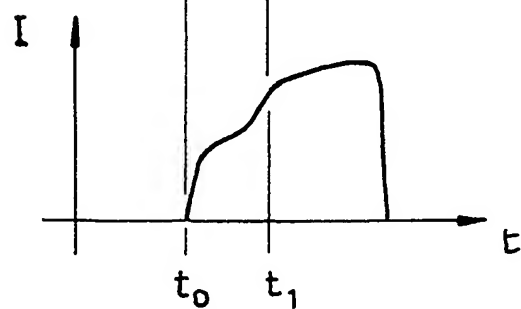


FIG. 26



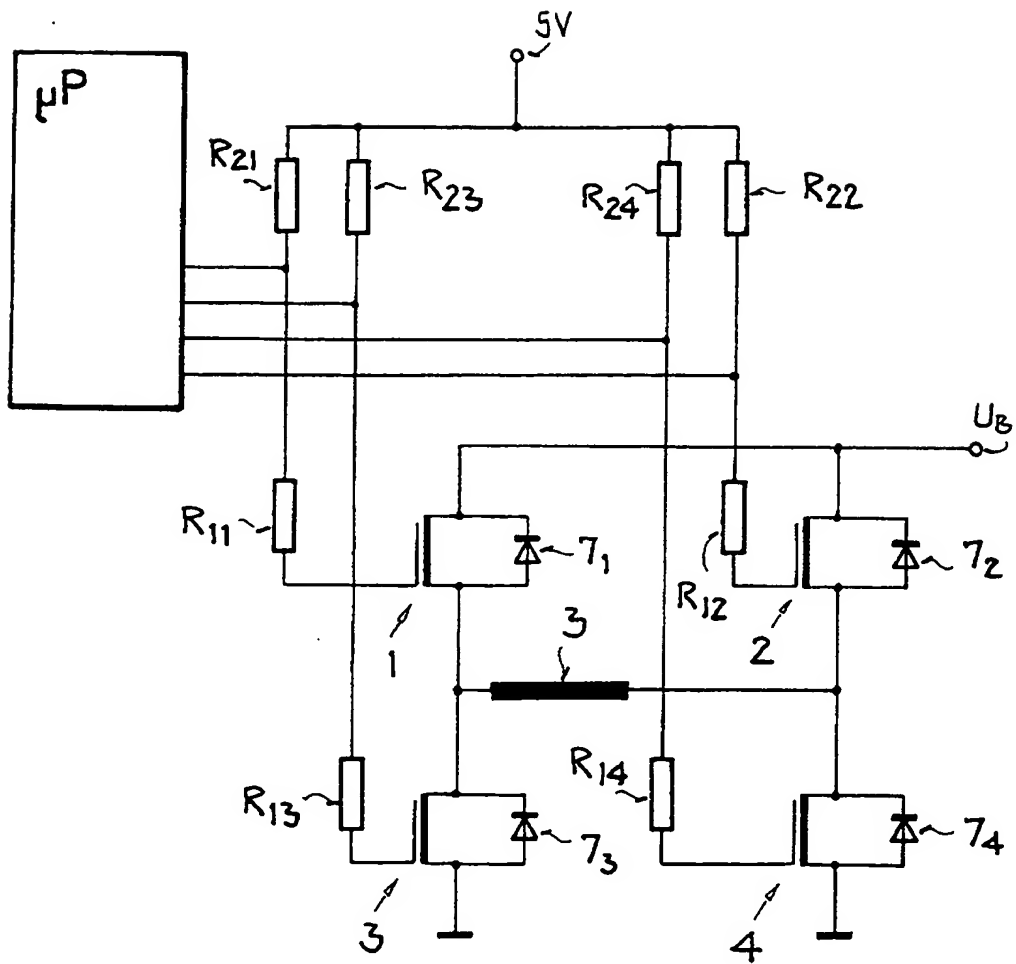


FIG.3